

杭州芯声智能科技有限公司

XS2001/XS2002 音频信号采集和处理 DSP/NPU 芯片规格书

非公开文档

Version 0.38

2024-07-25



芯声
CCVUI.COM

杭州芯声智能科技有限公司, www.ccvui.com

杭州市经济技术开发区科技园路 20 号新加坡科技园 14 幢西 3 楼

版权

©2019 杭州芯声智能科技有限公司保留所有权利。不得复制、传播本文件的任何部分。以任何形式或任何方式转录、储存在检索系统中，或翻译成任何语言，需书面形式的许可。

免责声明

杭州芯声智能科技有限公司提供本文件，不作任何形式的保证。本公司可以对本文档或本文中描述的产品进行改进或更改，并进行版本升级。

商标

芯声和芯声智以及 CCVUI.COM 是杭州芯声智能科技有限公司的商标。

机密性

本文件为机密文件，未经杭州芯声智能科技有限公司许可不得提供给第三方。

使用此文档

本文件旨在提供 XS2002 语音唤醒和离线识别芯片的规格和硬件的一般信息。尽管已尽一切努力确保本文件是最新的和准确的，但可能已经有更多的信息在制作本指南之后提供。在这种情况下，请联系我公司销售代表以获取更多有助于开发过程的信息。

目录索引

目录

目录索引.....	2
1. 概要.....	4
1.1. 功能简述.....	4
1.2. 芯片型号.....	4
2. 主要硬件特征.....	5
3. 管脚定义.....	6
3.1. XS2001 WLCSP 管脚 Map.....	6
3.2. XS2002 QFN 管脚 Map.....	7
4. 系统功能描述.....	9
4.1. ADC 接口.....	9
4.2. SPI-slave 接口.....	10
4.3. SPI-master 接口.....	13
4.4. TDM/I2S 接口.....	13
4.5. GPIO 接口.....	14
4.6. 电源.....	14
4.7. 时钟.....	14
5. DC 信息.....	16
6. 接口时序信息.....	18
6.1. SPI 接口.....	18
6.2. I2S 接口.....	18
7. 应用设计指南.....	20

7.1 上电时序	20
7.2 启动顺序	20
8. 硬件和版图设计指南	22
9. 封装, 包装和机械信息	22
9.1. XS2001 WLCSP-25 封装信息(um 单位).....	22
9.2. XS2002 QFN32 封装信息 (mm 单位)	23
9.3. 包装信息.....	24

1. 概要

1.1. 功能简述

XS200X 系列是一款专用的支持 AI 算法的音频 DSP 芯片，兼顾了超低功耗数据采样和高强度计算的两方面需求。一方面，低功耗芯片技术和人工智能算法支持低功耗信号检测，检测功耗可以到 1mA；另一方面，内部有信号处理指令和支持 SIMD 功能的 DSP，以及神经网络计算库函数，以及丰富的内存资源，最高频率 200MHz。最高同时支持 4 个 ADC 输入，支持 4 路模拟 MIC 或者数字 MIC，支持 SPI boot， flash boot，以及 UART, I2C, PWM 等接口，是业界具有很高性价比的信号前端处理 DSP 和 NPU 芯片。目前该芯片主要应用于语音信号采集，AEC 回声消除，声音增强，以及人声检测，唤醒词识别，神经网络降噪处理等算法处理。

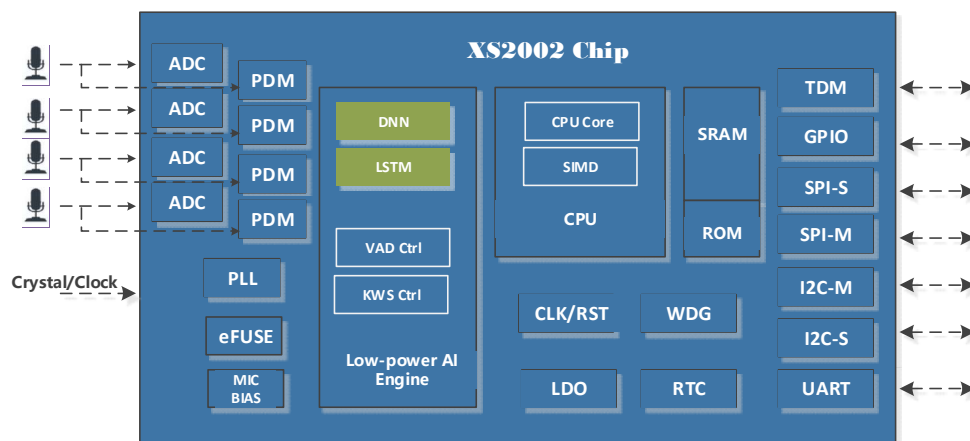


Fig.1 Block Diagram

1.2. 芯片型号

具有以下封装类型，对应封装列表如下：

芯片型号	封装类型
XS2001	WLCSP-25 (2.1mm x 2.1mm)
XS2002	QFN32 (4mm x 4mm)

2. 主要硬件特征

- 32bit RISC-V CPU, 最高速度 200MHz;
- 支持 SIMD 指令, 并行 MAC 计算以及单精度浮点运算;
- 大内存空间, 576kB 内存;
- 支持 DSP 处理库函数, 支持神经网络处理库函数;
- 内置 4 个低功耗 ADC, 单路 60uA 电流消耗, 12bit 采样精度; PGA 支持-6dB~30dB 增益调节;
- 支持多通道 TDM (I2S)输入和输出, 可以作为 AEC 的 echo ref 输入
- 支持 SPI/I2C Slave mode boot, 支持 SPI Master mode boot (仅 XS2002 支持)
- XS2002 支持 SPI-slave, SPI-master, I2C-slave, I2C-master, UART, GPIO 等多种外设 (XS2001 支持 SPI-slave, GPIO 等多种外设)
- 支持多种外挂晶体, 32.768kHz, 8MHz, 19.2M, 24M 等(XS2001 仅支持 32.768k);
- 支持电源管理, 低功耗工艺, 内置 LDO, 可以根据算法要求, 支持多电压的频率调节低功耗技术), 一般 DSP 5MHz 工作频率下消耗 1mA 电流;
- 封装:
 - a) XS2001 WLCSP-25 2.188mm x 2.188mm
 - b) XS2002 QFN32 4mmx4mmx0.75mm
- 环境温度: -40~85 度

3. 管脚定义

3.1. XS2001 WLCSP 管脚 Map

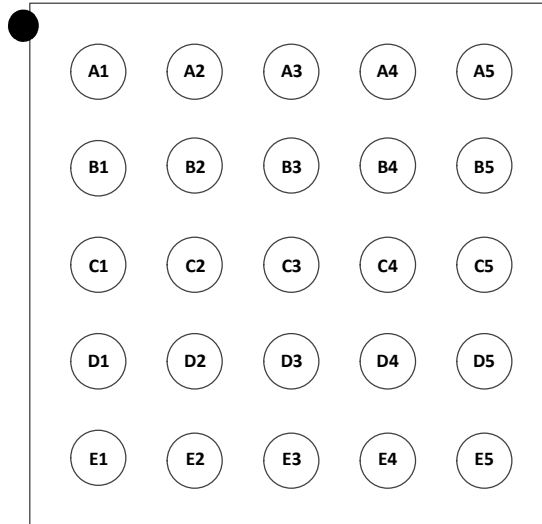


Fig.2 XS2001 WLCSP-25 管脚图 (LOGO 侧顶视图)

下表是 XS2001 的管脚名称及功能定义。引脚功能详见 Tab.3。

Tab.2 XS2001 Pin List

No.	Name	Direction	Function
A1	XGPIO0/DMICCLK0/DMICDIN1/ MIC_BIAS0	I/O	GPIO/I2CM_SCL/I2SM_MCLK/DMIC_CLK/TXD/SPK_I2S_MCLK/mic bias
A2	AMIC3P/DIN3	IN	ADC input 3
A3	VREF	OUT	reference voltage output for ADC
A4	AMIC1P/DIN1	IN	ADC input 1
A5	XGPIO1/IRQ	I/O	GPIO / SPK_PWM / SPK_I2S_DAT / DMIC_CLK / IRQ /TXD, internal pull-down
B1	VSS	N/A	ground
B2	TEST_EN	IN	chip test enable, internal pull-down
B3	AMIC2P/DIN2	IN	ADC input 2
B4	AMIC0P/DIN0	IN	ADC input 0
B5	XO	OUT	the output of crystal driver circuit
C1	VDDIO	N/A	IO power
C2	I2S_DIN	I/O	GPIO/I2SM_DIN/I2SS_DIN
C3	I2S_DOUT	I/O	GPIO/I2SM_DOUT/I2SS_DOUT

C4	XGPIO2/DMICCLK1/DMICDIN1	I/O	GPIO/I2CM_SDA/I2SM_MCLK/ DMIC_CLK/RXD/SPK_I2S_SCLK/mic bias
C5	XI	IN	clock input
D1	VREG_IN	IN	CORE power input for LDO
D2	I2S_SCLK	I/O	GPIO/I2SM_SCLK/I2SS_SCLK
D3	I2S_LRCK	I/O	GPIO/I2SM_LRCK/I2SS_LRCK
D4	XGPIO5/MIC_EBIAS	I/O	GPIO/I2CM_SDA/RXD/SPK_I2S_LRCK/ MIC_EBIAS
D5	RSTN	IN	Chip Reset, low active internal pull-up
E1	SPI_CSB	I/O	SPIS_CSB/ I2CM_SCL/TXD
E2	SPI_DOUT	I/O	SPIS_DOUT/I2CM_SDA/RXD
E3	VREG_OUT	OUT	CORE power output
E4	SPI_DIN	I/O	SPIS_DIN/I2CS_SDA
E5	SPI_CLK	I/O	SPIS_CLK/I2CS_SCL

3.2.XS2002 QFN 管脚 Map

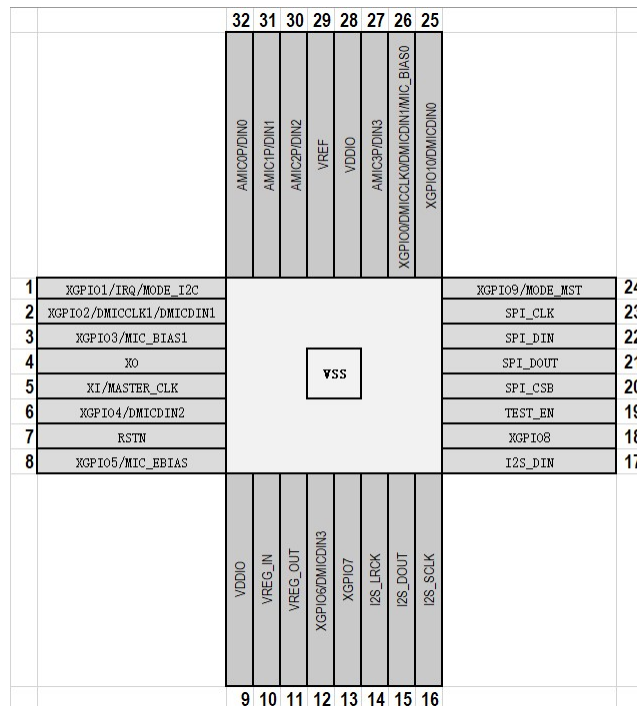


Fig.3 XS2002 QFN32 管脚图

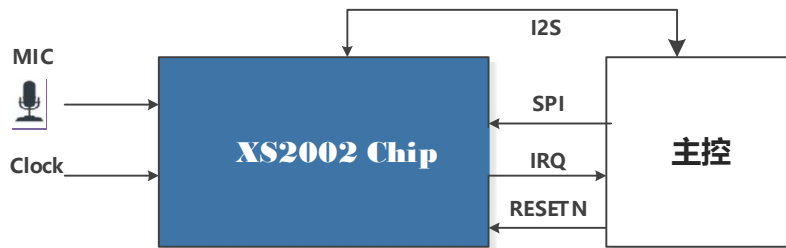
管脚名	输入输出	XS2002	管脚定义
VDDIO	电源	9, 28	IO 电源
VSS	地	背面	地
VREG_IN	输入	10	内部 Core 电压 LDO 输入
VREG_OUT	输出	11	内部 Core 电压输出 (外接电容)
VREF	输出	29	ADC 参考电压输出 (外接电容)
AMIC0P/DIN0	输入	32	ADC 输入 0
AMIC1P/DIN1	输入	31	ADC 输入 1
AMIC2P/DIN2	输入	30	ADC 输入 2
AMIC3P/DIN3	输入	27	ADC 输入 3
SPI_CLK	输入	23	SPI 接口 clock
SPI_CSB	输入	20	SPI 接口 CS
SPI_DIN	输入	22	SPI 接口数据输入
SPI_DOUT	输出	21	SPI 接口数据输出
I2S_SCLK	输入	16	GPIO/I2S/TDM 接口时钟
I2S_LRCK	输入	14	GPIO/I2S/TDM 接口 LR 信号
I2S_DIN	输入	17	GPIO/I2S/TDM 接口数据输入
I2S_DOUT	输出	15	GPIO/I2S/TDM 接口数据输出
XI/MASTER_CLK	输入	5	芯片时钟输入
XO	输出	4	晶振驱动电路的输出
RSTN	输入	7	芯片 Reset 输入 (低有效)
TEST_EN	输入	19	芯片测试 enable (内部 pull-down)
XGPIO1/IRQ/MODE_I2C	输出	1	GPIO (中断输出)
XGPIO0/DMICCLK0/ DMICDIN1/MIC_BIAS0	双向	26	GPIO
XGPIO2/DMICCLK1/DMICDIN1	双向	2	GPIO
XGPIO10/DMICDIN0	双向	25	GPIO
XGPIO9/MODE_MST	双向	24	GPIO
XGPIO8	双向	18	GPIO
XGPIO7	双向	13	GPIO
XGPIO6/DMICDIN3	双向	12	GPIO
XGPIO5/MIC_EBIAS	双向	8	GPIO
XGPIO4/DMICDIN2	双向	6	GPIO
XGPIO3/MIC_BIAS1	双向	3	GPIO

4. 系统功能描述

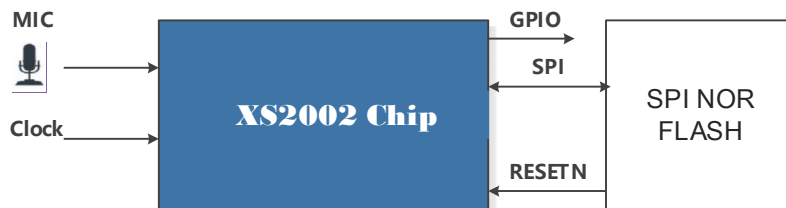
- Boot 方式

XS2002 支持 Flash boot 与 SPI slave boot 两种不同的工作方式。XS2001 支持 SPI slave 模式。

当使用 SPI slave boot 方式时，AP（应用处理器）在系统启动时通过 SPI 或 I2C 接口向 XS2001/2 灌入指令和数据后，启动 DSP 进入工作状态；



当使用 Flash boot 方式时，XS2002 外接 SPI NOR FLASH，在上电时通过 SPI NOR FLASH 引导启动，然后执行程序。下图是主控唤醒方式的应用框图：



4.1.ADC 接口

支持模拟 MIC 音频信号采集，以及各种传感器信号采集；采集精度 12bit；支持 PGA 增益调节，调节范围-6dB~30dB

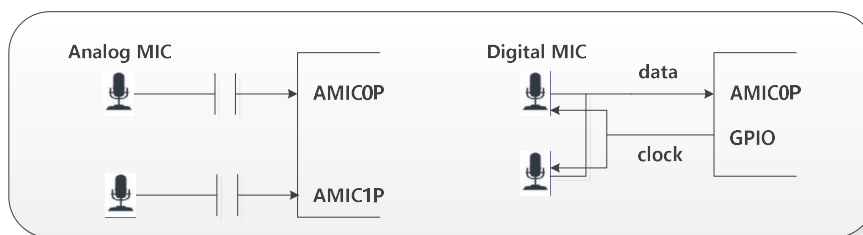


Fig.5 MIC 连接图

4.2.SPI-slave 接口

SPI-slave 接口用于外灌指令和数据到 XS2001/2 的片内 RAM 中，也可用作状态查询或调试接口。其功能包括：

- SPI 时钟频率最高 15MHz
- 支持 SPI 模式 0
- 支持单帧传输或块传输

因为该接口涉及主控 boot DSP 的驱动代码，所以具体的波形图和介绍如下：

- SPI-slave 接口的数据传输方式支持以下 4 种：

Tab.9 SPI-slave 接口传输方式

传输方式	功能
32bit write	一次写入 32bit 数据
32bit read	一次读出 32bit 数据
burst write	写突发传输
burst read	读突发传输

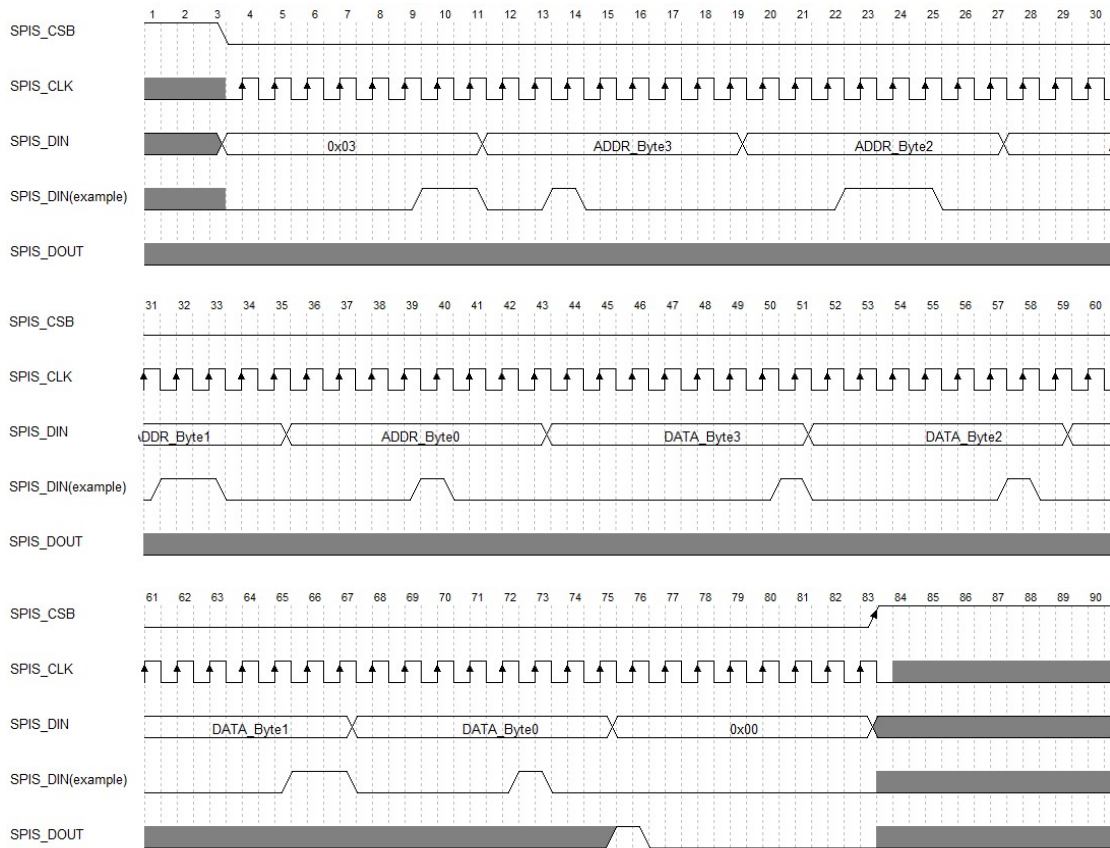


Fig.7 SPI-slave 32bit write protocol

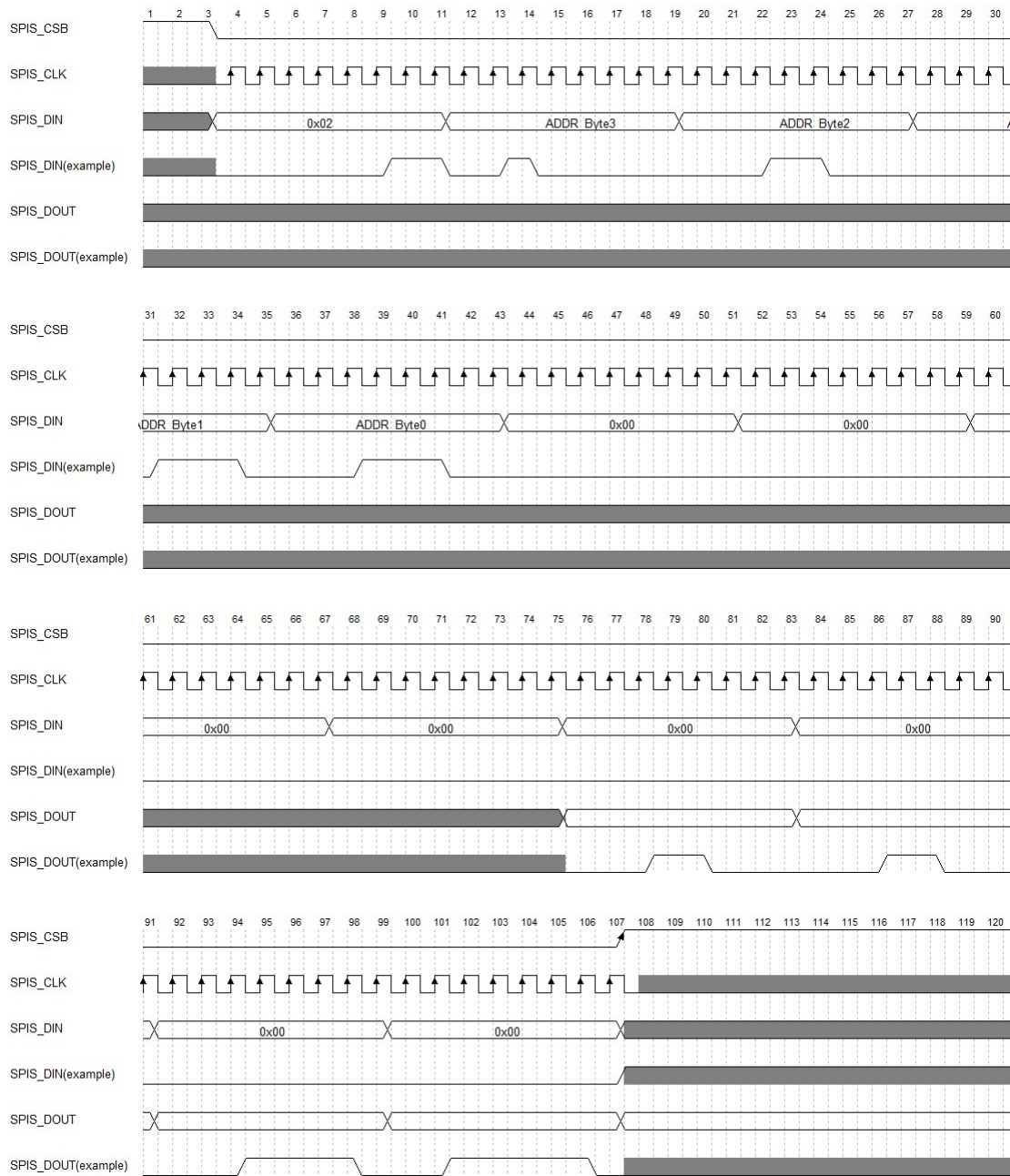
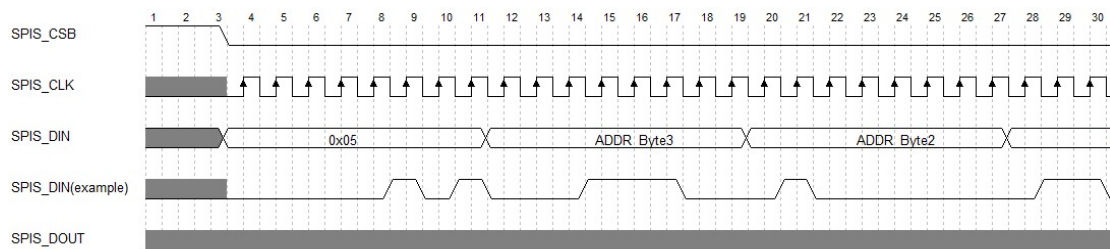


Fig.8 SPI-slave 32bit read protocol



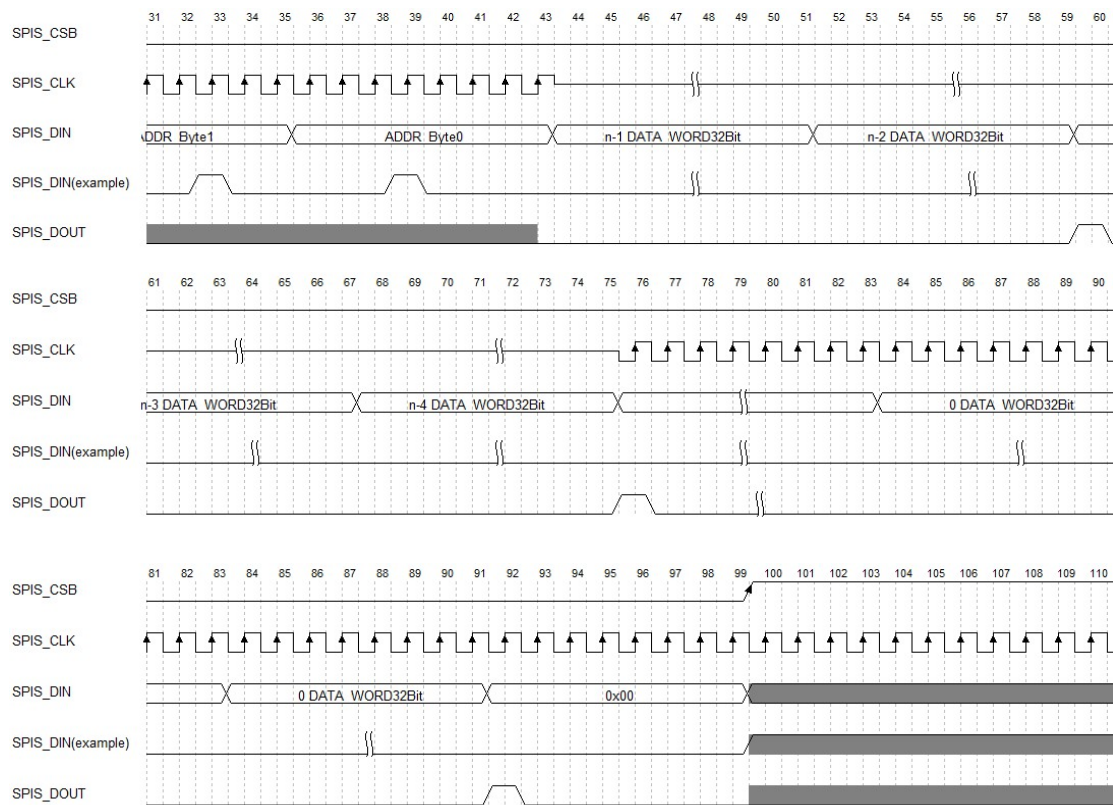
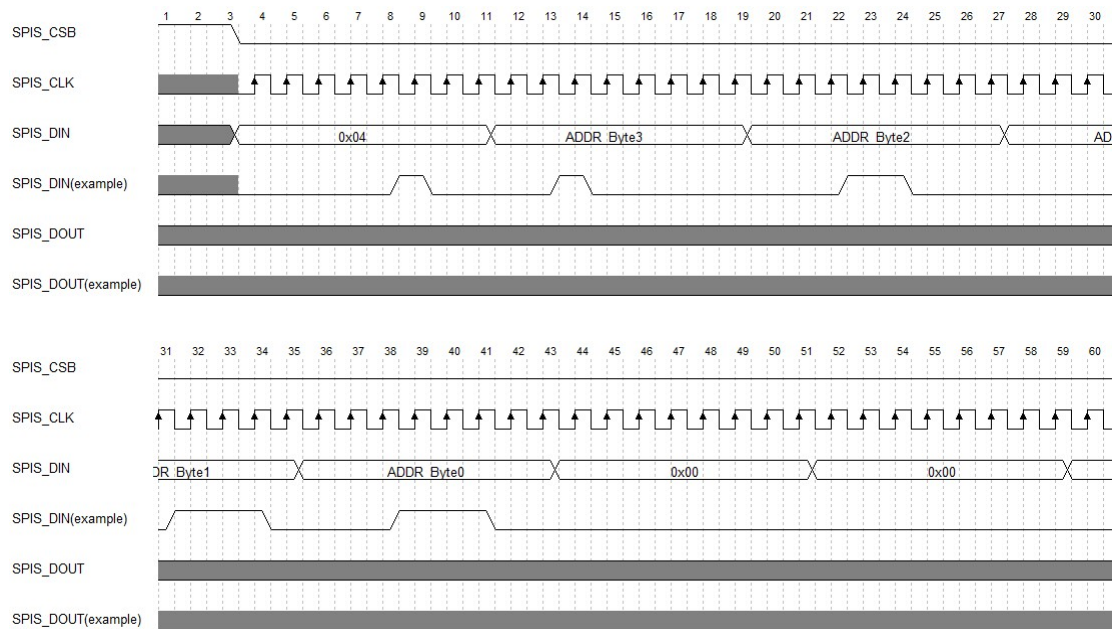


Fig.9 SPI-slave burst write protocol



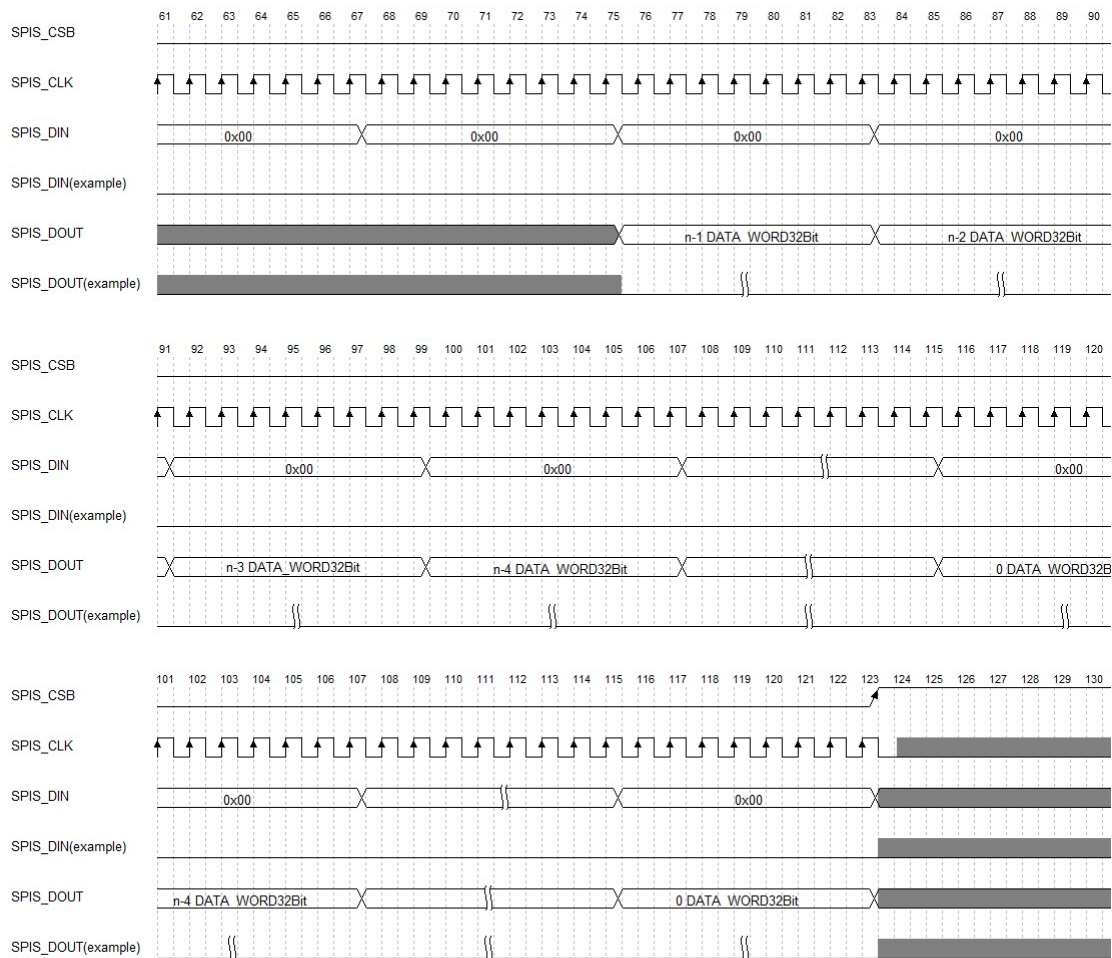


Fig.10 SPI-slave burst read protocol

4.3. SPI-master 接口

SPI-master 接口支持外接 SPI NOR FLASH，在主机唤醒方式时，SPI NOR FLASH 作为引导设备启动 CPU。

- SPI 时钟频率最高 15MHz
- SPI 时钟频率可配置
- 可配置帧长 4-32bits
- 支持 Motorola SPI/TI SPI/NSC SPI 协议
- 支持 SPI 模式 0-3
- 32x4 Tx/Rx FIFO
- 可配置中断

4.4. TDM/I2S 接口

TDM/I2S 接口用于接收 I2S 数据输入，也可将片内 RAM 中的语音数据输出。

- 支持 TDM 多通道音频数据的读写，最多支持 8 通道读和 2 通道写入

- TDM/I2S 的接口协议可配置，支持 I2S mode1, left-justified mode 等多种模式
- 可配置帧长
- 可配置通道数
- 支持 TDM bypass 模式

芯片缺省配置为：Philips 模式 16kHz 采样 16bit 模式。

其他模式也可以配置，比如：

- Mono PCM Mode A and Mode B
- Stereo PCM Mode A and Mode B
- Normal I²S mode
- Left justified mode

4.5. GPIO 接口

GPIO 接口用于控制周边外设或向 AP 传输状态信息。

4.6. 电源

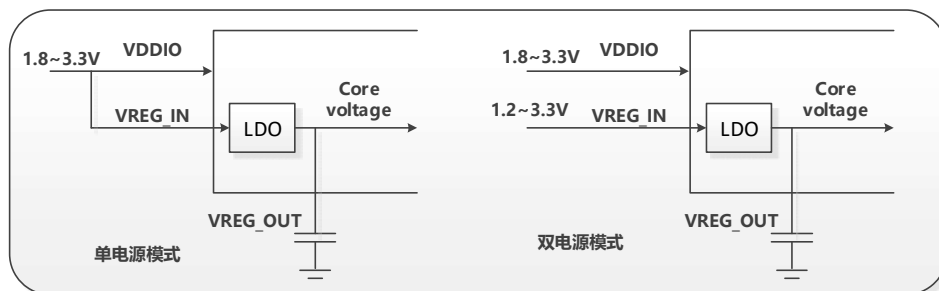


Fig.6 单电源模式和双电源模式

- 系统内置 LDO, 为内部数字逻辑供电
- 用户可以选择单电源模式或者双电源模式。单电源模式简单，但是因为 LDO 的电流从 VDDIO(比双电源模式下的 REG_IN 电压要高)流过，整体的功耗高于双电源模式

4.7. 时钟

芯片作为从器件，时钟从系统时钟供给。内部 PLL 可以支持不同的输入时钟频率：

- 32.768kHz (XS2001 缺省配置，XS2002 XGPIO7 不接)
- 19.2MHz (XS2002 XGPIO7 拉低)

- 其他 8MHz, 24MHz 等 (XS2002 XGPIO7 拉低)

我们提供 API 来根据不同的输入时钟控制 PLL 时钟。客户的其他时钟选择可以讨论。

5. DC 信息

Absolute Max Ratings

Parameter	Symbol	Minimum	Typical	Maximum	Units
Analog and I/O 电源	VDDIO	1.6	1.8/3.3	3.6	V
Digital and DSP LDO 输入	VREG_IN	1.09	1.2/1.8/3.3	3.6	V
Ambient Operating Temperature	Ta	-20	-	+85	°C
Storage Temperature	Ts	-20	-	+125	°C
HBM ESD (Electrostatic Discharge)					
-			Susceptibility Voltage		
All pin			2kv		

VDD= 1.8V, T_{ambient}=25°C, with 20pF external load.

静态特性

Parameter	Symbol	Minimum	Typical	Maximum	Units
Input Voltage Range	V _{in}	-0.30	-	VDD +0.30	V
High level input voltage	V _{IH}	0.65* VDD	-	-	V
Low level input voltage	V _{IL}	-	-	0.35* VDD	V
High level output voltage	V _{OH}	0.9*VDD	-	-	V
Low level output voltage	V _{OL}	-	-	0.1*VDD	V
Output Pad Drive Current	-	-	8mA	-	mA
Internal Pull Up/Down Resistance	-	-	1M	-	欧姆

模拟 IP 性能

Parameter	Min	Typ	Max	Units
Full Swing Input Voltage AMIC_IN to ADC	-	1.2	-	V _{pp}
S/N Ratio	-		-	dBFS

AMIC_IN to ADC2				
Total Harmonic Distortion + Noise when input -3dB of FSIV AMIC_IN to ADC2	-		-	dBFS
Input Impedance AMIC_IN	16k	50k		欧姆
PII0电流		60		uA
PII1电流		50		uA
一路ADC+PGA		55		uA
PMU		30		uA

6. 接口时序信息

6.1. SPI 接口

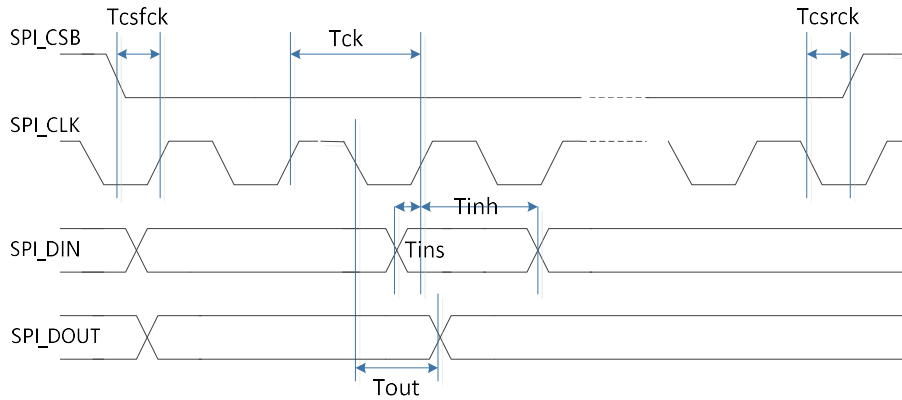


Fig.7 SPI 接口时序信息

	Min	Typ	Max	
T_{csfck}	8ns			SPI_CS _B falling edge to SPI_CLK
T_{csrck}	8ns			SPI_CS _B rising edge to SPI_CLK
T_{ck}	33ns	40ns		SPI 时钟速度
T_{ins}	8ns			SPI_DIN setup time
T_{inh}	8ns			SPI_DIN hold time
T_{out}			8ns	SPI_DOUT 输出 timing

6.2. I2S 接口

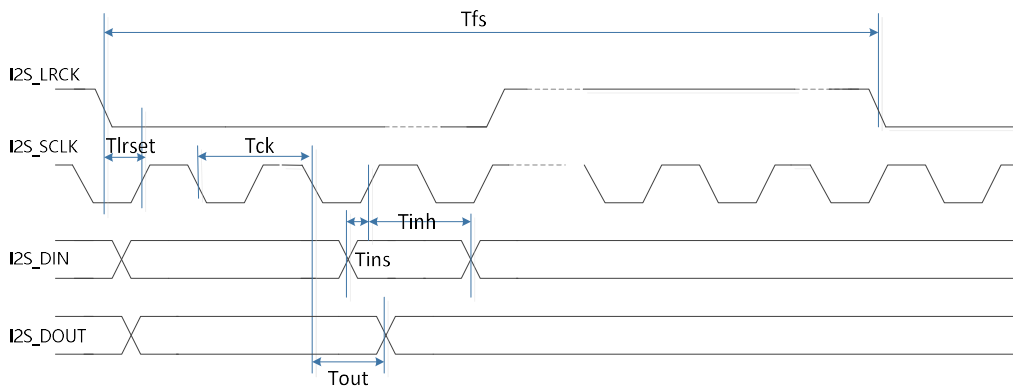


Fig.8 I2S 接口时序信息

	Min	Typ	Max	
Tfs	8kHz		192kHz	I2S_LRCK 频率
Tlrset	10ns			I2S_LRCK 对于 I2S_SCLK 的 setup
Tck			12.288MHz	I2S_SCLK 频率
Tins	10ns			I2S_DIN setup time
Tinh	10ns			I2S_DIN hold time
Tout			10ns	I2S_DOUT 输出 timing
● Support 8kHz~48kHz sampling rate, from 2 channel to 8 channel				

7. 应用设计指南

7.1 上电时序

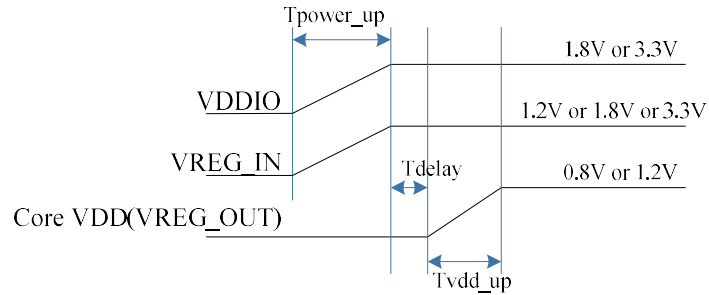


Fig.6 Power Sequence

Tab.8 Power Sequence Timing

Timing	Min	Typ	Max	Description
T _{power_up}	100us	500us	1ms	External Power up time
T _{delay}	-	100us	-	Delay time to core vdd ramp up
T _{vdd_up}	-	250us	-	Core vdd ramp up time

7.2 启动顺序

在系统上电后，XS2002 读取两个 strap pin 设置（STRAP0 和 STRAP1），根据 strap pin 的设置选择不同的工作方式。其具体过程如下图：

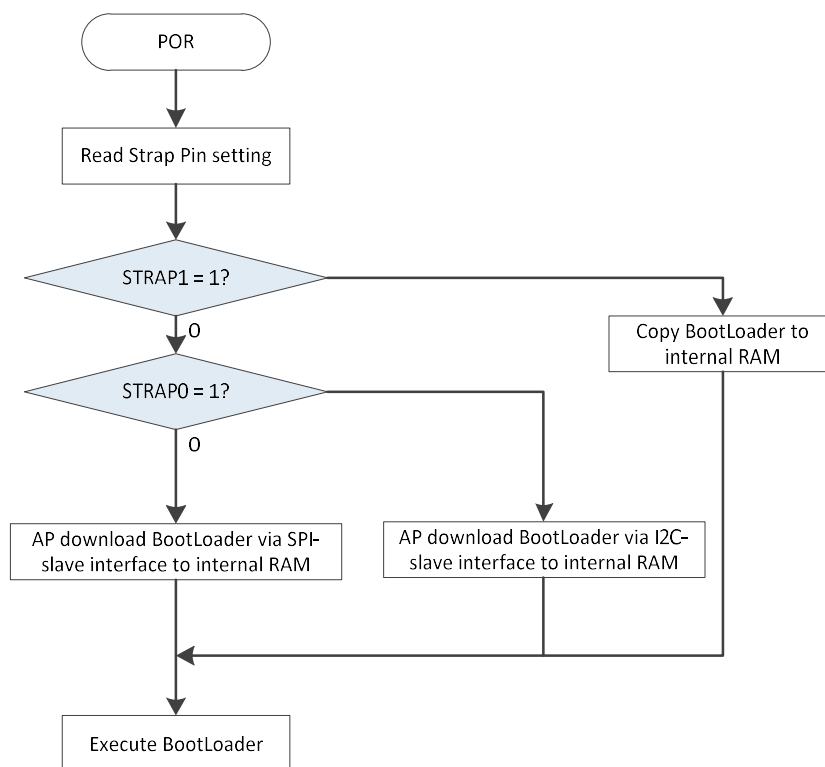


Table 6-1 Strap Pin 设置

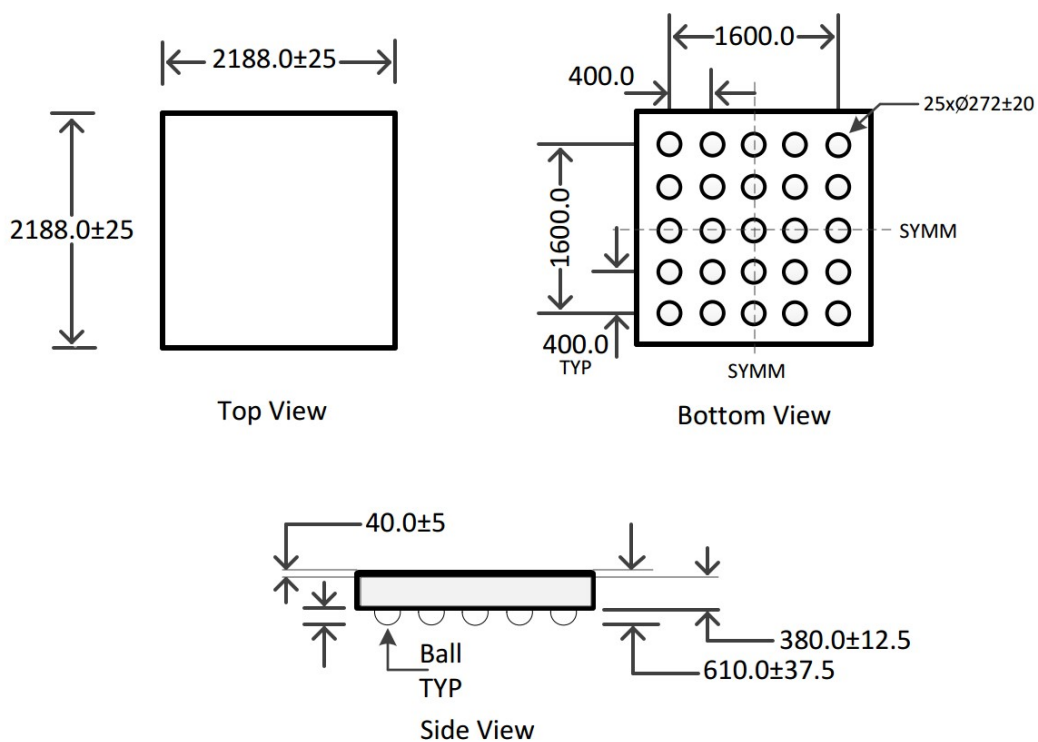
NAME	PIN	FUNCTION
STRAP1	XGPIO9/MODE_MST	low 选择协从唤醒模式或 high 选择主控唤醒模式
STRAP0	XGPIO1/IRQ/MODE_I2C	low 选择 SPI-slave 接口或 high 选择 I2C-slave 接口

8. 硬件和版图设计指南

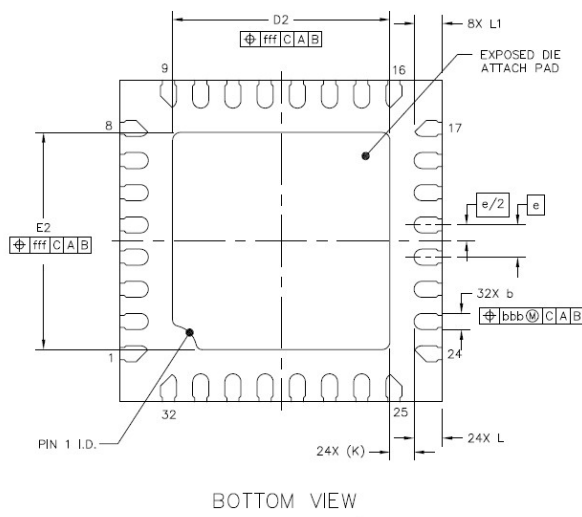
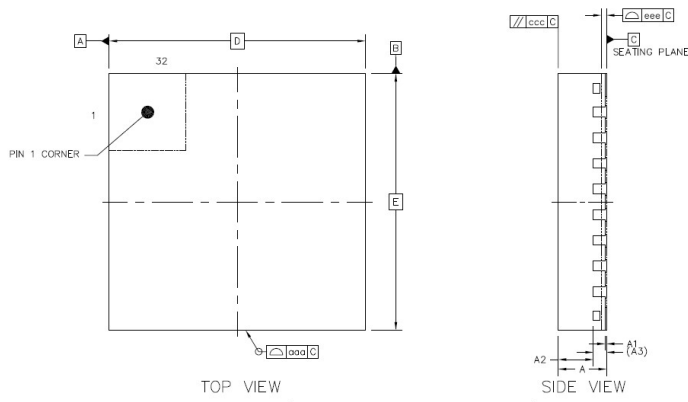
提供设计原理图，PCB 及相关库文件

9. 封装，包装和机械信息

9.1. XS2001 WLCSP-25 封装信息(um 单位)



9.2.XS2002 QFN32 封装信息 (mm 单位)



		SYMBOL	MIN	NOM	MAX
TOTAL THICKNESS		A	0.7	0.75	0.8
STAND OFF		A1	0	0.02	0.05
MOLD THICKNESS		A2	---	0.55	---
L/F THICKNESS		A3	0.203 REF		
LEAD WIDTH		b	0.15	0.2	0.25
BODY SIZE	X	D	4 BSC		
	Y	E	4 BSC		
LEAD PITCH		e	0.4 BSC		
EP SIZE	X	D2	2.6	2.7	2.8
	Y	E2	2.6	2.7	2.8
LEAD LENGTH		L	0.25	0.35	0.45
		L1	0.24	0.34	0.44
LEAD TIP TO EXPOSED PAD EDGE		K	0.3 REF		
PACKAGE EDGE TOLERANCE		aaa	0.1		
MOLD FLATNESS		ccc	0.1		
COPLANARITY		eee	0.08		
LEAD OFFSET		bbb	0.07		
EXPOSED PAD OFFSET		fff	0.1		

9.3. 包装信息

芯片编号	数目	包装信息
XS2001	3000 (7 寸盘)	WLCSP25 (2.188x2.188x0.38), 绿色包装 (Tape&Reel)
XS2002	2000 (7 寸盘)	QFN32(4x4x0.75), 绿色包装 (Tape&Reel)